Trabajo de Estructura De Computadores II
Grupo 6, 2ºB

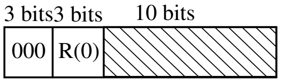
Joseba García Ortiz de Zarate (tel: 94 669 27 76)
Grzegorz Adam Hankiewicz (tel: 94 411 31 44)
Carlos Pereda Moreno (tel: 94 446 46 24)

Parte I
Monociclo

1 Definición de instrucciones y formato binario

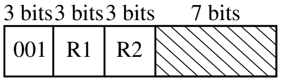
Las instrucciones que va a soportar el procesador son: NOP, XCHG, BEQ, SUBI, INV y ROR. Se ha decidido usar palabras de 16 bits de tamaño. Por lo tanto, el procesador es capaz de direccionar 65536 bytes, o 32768 palabras. Al procesador se le va a dar 8 registros internos de usuario. A continuación se muestran las instrucciones, con una breve descripción de lo que hacen y su formato binario. El bit más a la izquierda es el de mayor peso.

NOP



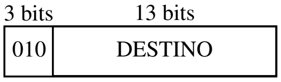
El contenido del registro 0 se guarda en el registro 0.

XCHG



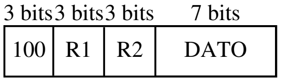
Intercambio del contenido de R_1 con R_2.

BEQ



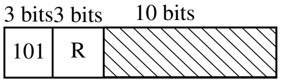
Salto a PC + Des si Z iguala 1.

SUBI



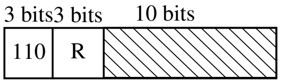
R_2 – DATO, resultado se guarda en R_1, generando acarreo.

INV



Invierte R.

ROR



Rota R una posición a la derecha.

2 ALU

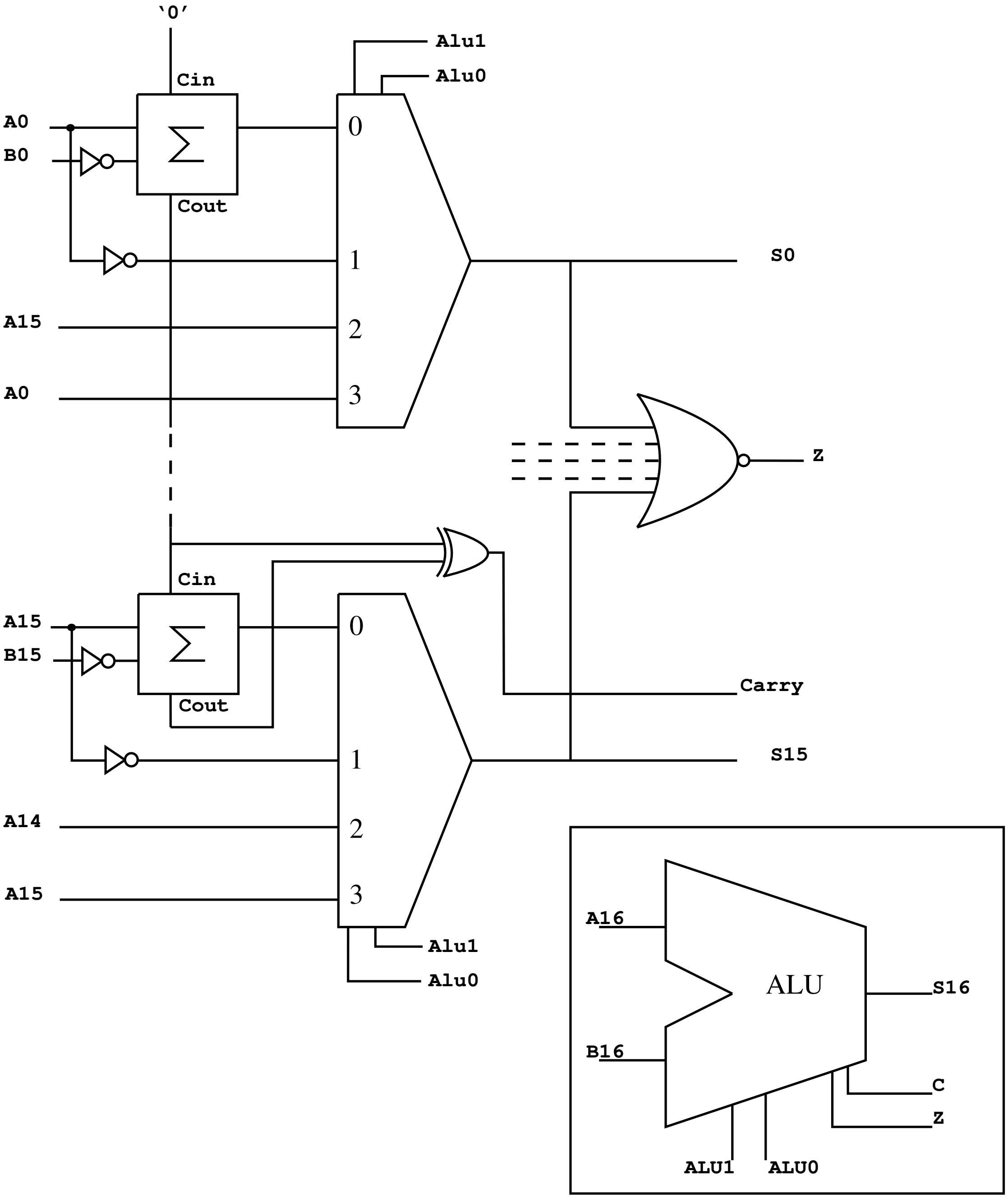
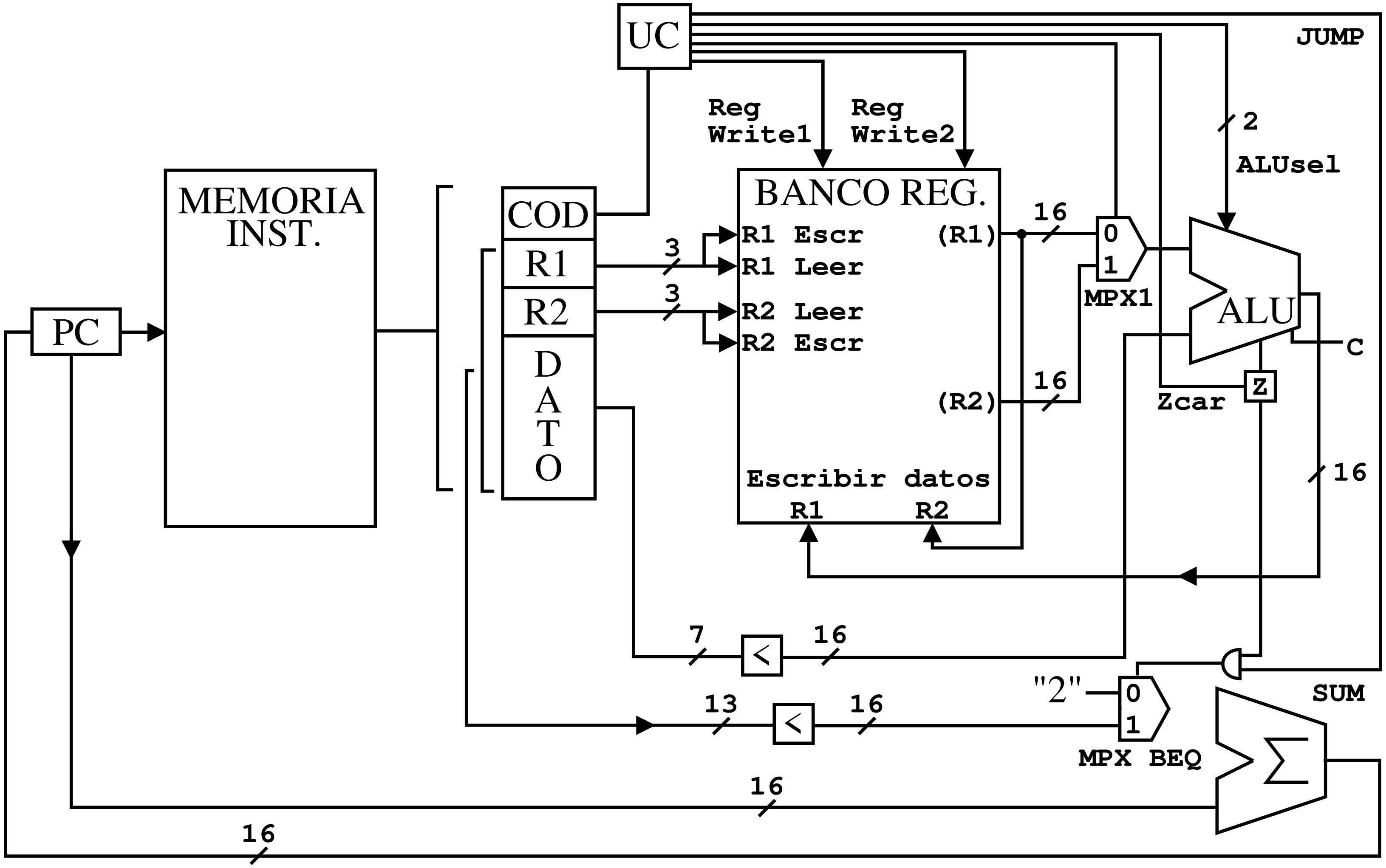


TABLA DE ENTRADAS/SALIDAS

ALU_0	ALU_1	OPERACION
0	0	A – B
0	1	INV A
1	0	ROR A
1	1	NOP

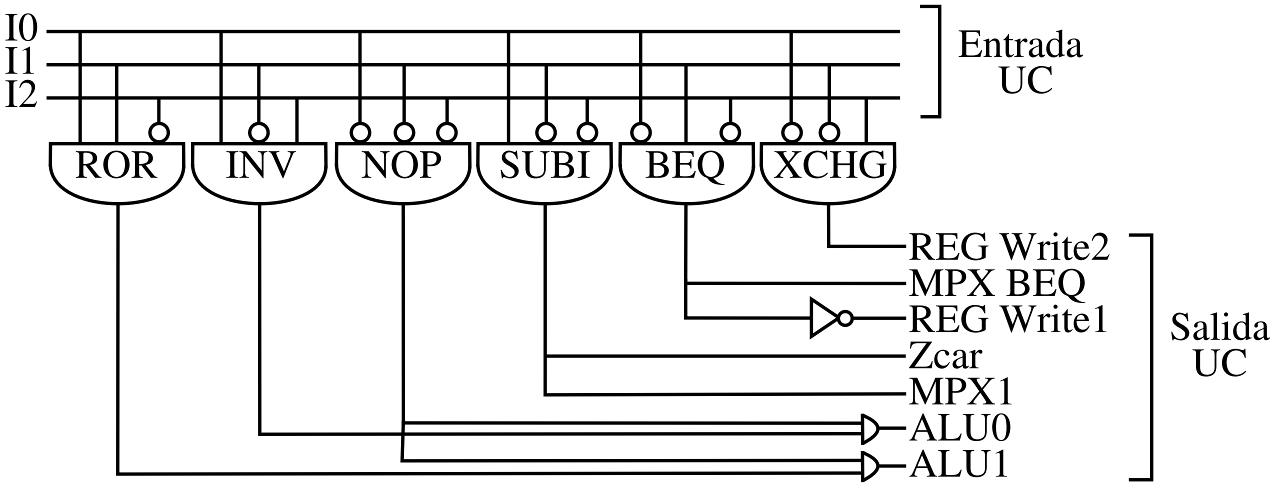
3 Camino de datos



4 Tabla de señales de control

Instrucción	Código	Reg Write1	Reg Write2	MPX_1	MPX BEQ	ALU_1	ALU_2	Zcar
NOP	000	1	0	0	0	1	1	0
XCHG	001	1	1	0	0	X	X	0
BEQ	010	0	0	X	1	X	X	0
SUBI	100	1	0	1	0	0	0	1
INV	101	1	0	0	0	0	1	0
ROR	110	1	0	0	0	1	0	0

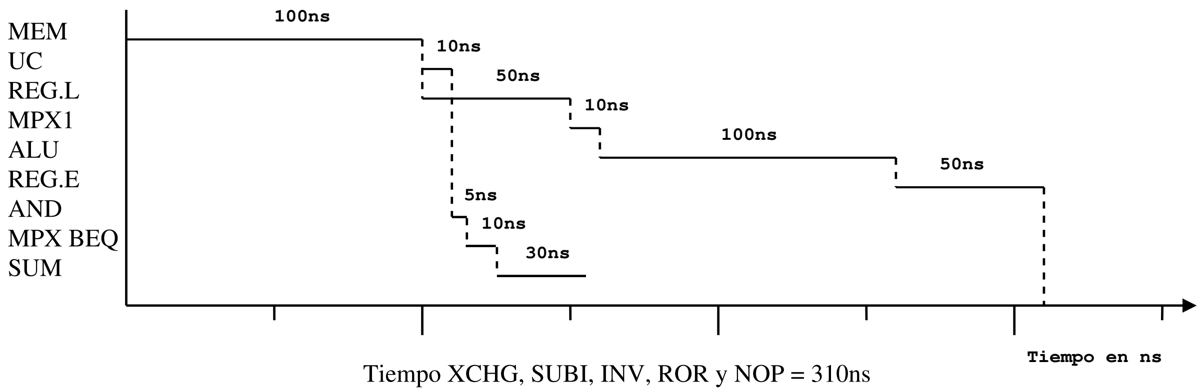
5 Esquema unidad de control



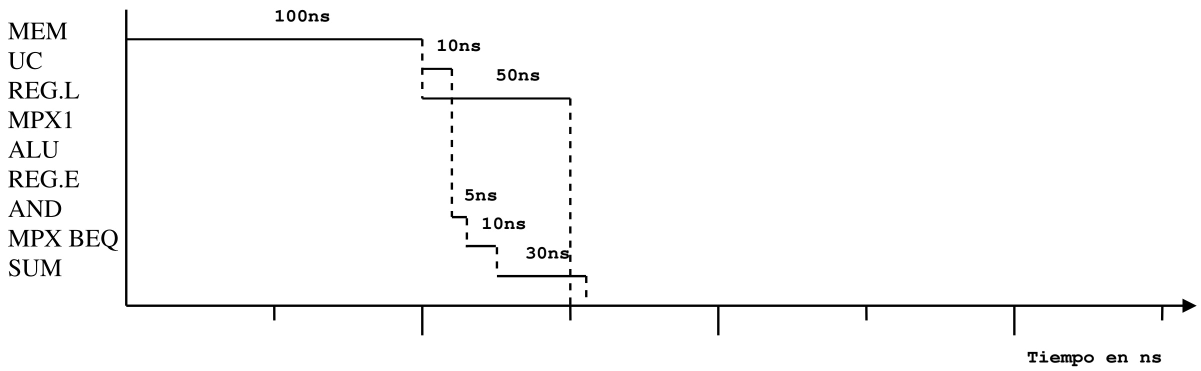
6 Tiempos de las instrucciones

Los tiempos de las instrucciones se han medido usando los siguientes datos: memoria 100ns, ALU 100ns, unidad de control 10ns, banco de registros 50ns, sumador PC+x 30ns, multiplexores 10ns y puertas 5ns.

Dado el carácter de las instrucciones, sólo hay dos tiempos de instrucciones: uno para la BEQ, y otro para el resto de operaciones que pasan siempre por la ALU.



Tiempo XCHG, SUBI, INV, ROR y NOP = 310ns



Tiempo BEQ = 155ns

7 Cálculo de rendimiento

El programa para medir el rendimiento consta de 1000 instrucciones, y está formado por los siguientes porcentajes:

XCHG: 20%, SUBI: 30%, INV: 25%, ROR: 15%, NOP: 5% y BEQ: 5%.

T_{INST} = 310ns –> f = $\frac{1}{310ns}$ = 3,22 Mhz

C_{CPU} = 1000 inst –> 1000 ciclos

CPI = 1

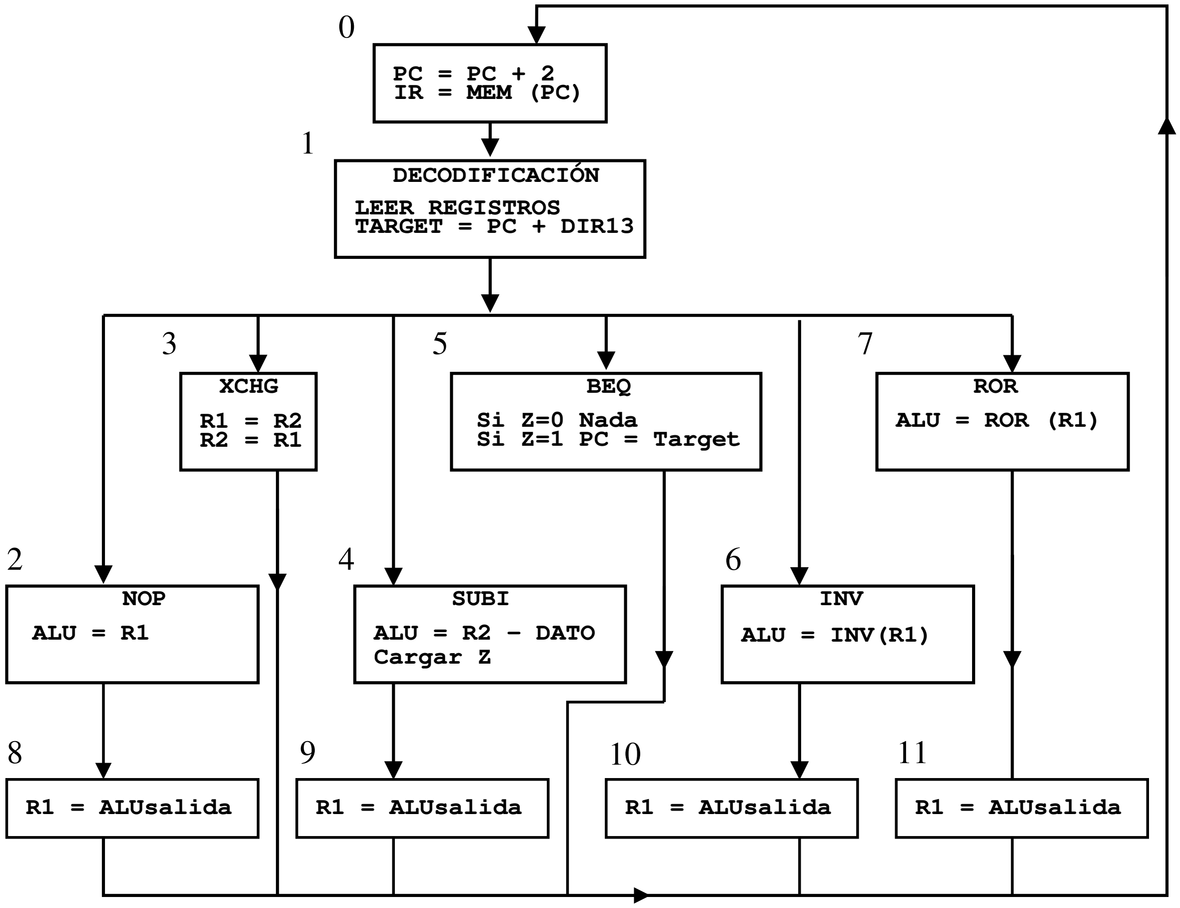
$\mathrm{T}_{PROG} = \frac{1000}{3{,}22Mhz} = 3{,}1 * 10^{-4}$ seg

=> Rendimiento = $\frac{1}{T_{PROG}}$ = 3225,8

Multiciclo

Parte II
Multiciclo

8 Arbol de estados



Estado	$RegW_1$	$RegW_2$	MPX_1	MPX_2	MPX_3	JUMP	$\neg S/R$	ALU	Zcar	PCcar	IRcar	Tcar
0	0	0	00	01	0	0	1	00	0	1	1	0
1	0	0	00	10	0	0	1	00	0	0	0	1
2	0	0	01	00	0	0	0	11	0	0	0	0
3	1	1	00	00	1	0	0	11	0	0	0	0
4	0	0	10	00	0	0	0	00	1	0	0	0
5	0	0	00	00	0	1	0	00	0	1	0	0
6	0	0	01	00	0	0	0	01	0	0	0	0
7	0	0	01	00	0	0	0	10	0	0	0	0
8	1	0	01	00	0	0	0	11	0	0	0	0
9	1	0	10	00	0	0	0	00	0	0	0	0
10	1	0	01	00	0	0	0	01	0	0	0	0
11	1	0	01	00	0	0	0	10	0	0	0	0

9 ALU multiciclo

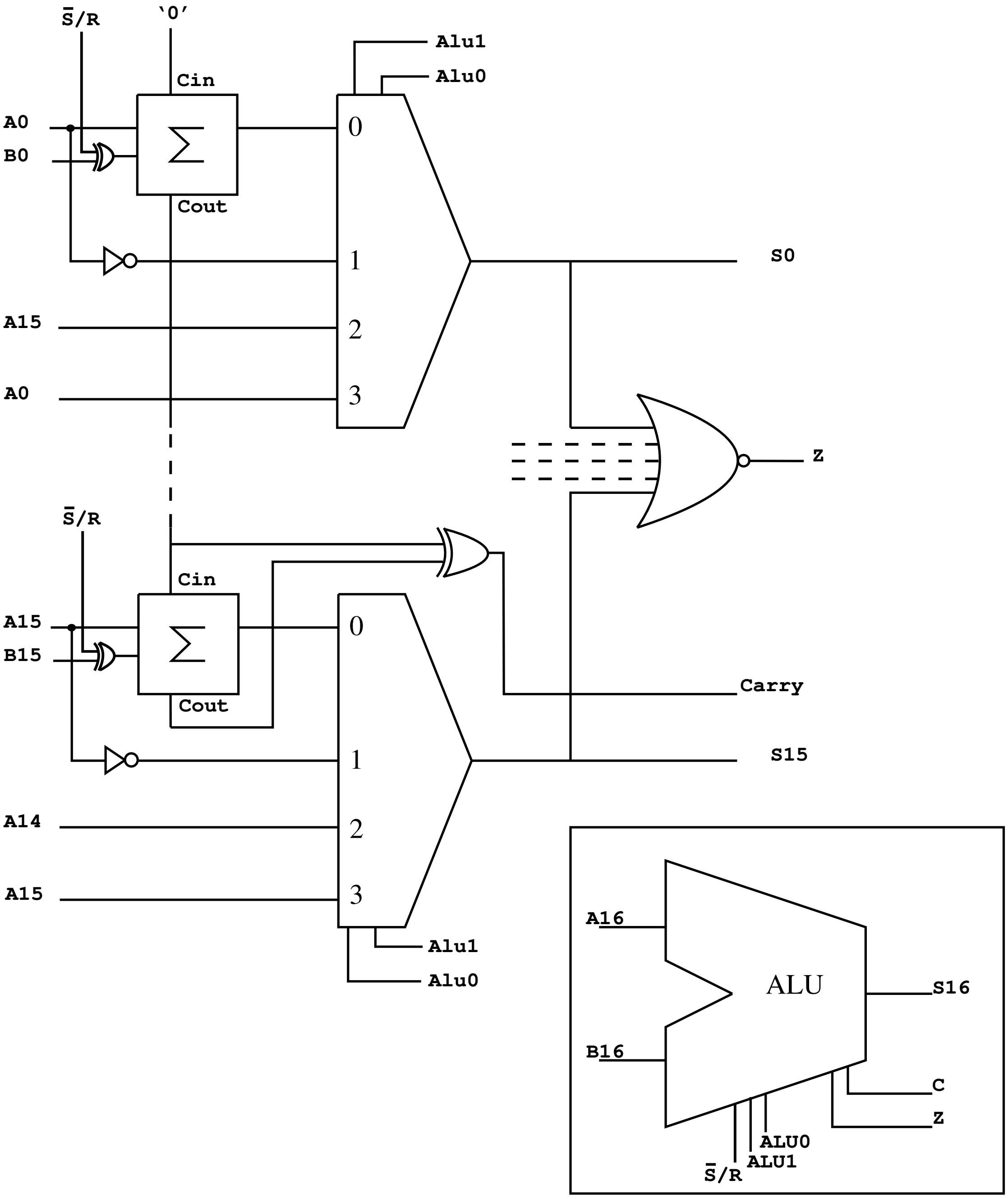
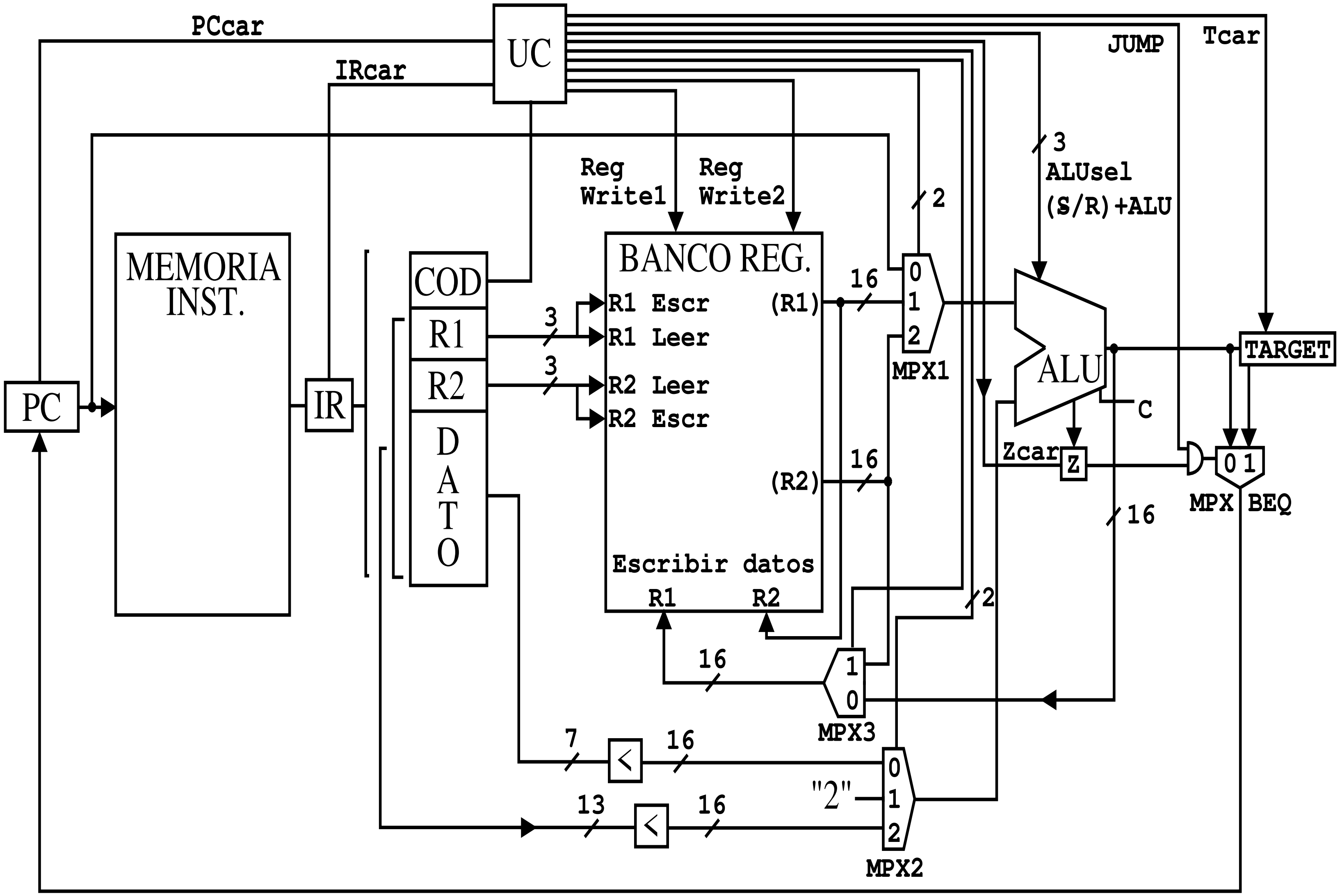


TABLA DE ENTRADAS/SALIDAS

SUMAR/RESTAR	ALU_0	ALU_1	OPERACION
0	0	0	A – B
1	0	0	A + B
X	0	1	INV A
X	1	0	ROR A
X	1	1	NOP

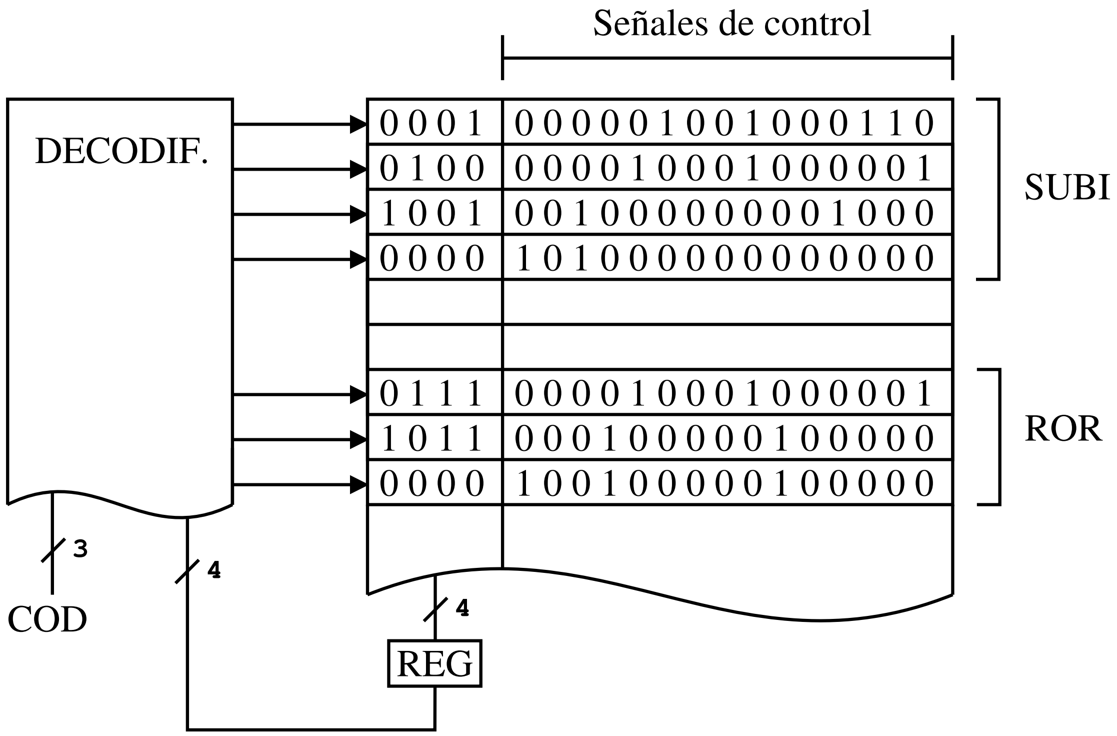


PCcar
IRcar
UC
JUMP
Tcar
Reg Write1
Reg Write2
3
ALUsel
(S/R)+ALU
2
MEMORIA INST.
PC
IR
COD
R1
R2
D A T O
BANCO REG.
R1 Escr
R1 Leer
R2 Leer
R2 Escr
(R1)
(R2)
Escribir datos
R1
R2
16
MPX1
ALU
C
TARGET
Zcar
Z
MPX BEQ
MPX3
MPX2
7
13
"2"

11 Unidad de control cableada

	ENRADA		SALIDA		
Estado Inicial	Código Operación	Estado Código	Señal Control	Código Final	Estado Final
0	XXXX	0000	Estado 0	0001	1
1	NOP	0001	Estado 1	0010	2
1	XCHG	0001	Estado 1	0011	3
1	SUBI	0001	Estado 1	0100	4
1	BEQ	0001	Estado 1	0101	5
1	INV	0001	Estado 1	0110	6
1	ROR	0001	Estado 1	0111	7
2	XXXX	0010	Estado 2	1000	8
3	XXXX	0011	Estado 3	0000	0
4	XXXX	0110	Estado 4	0000	9
5	XXXX	0101	Estado 5	0000	0
6	XXXX	0110	Estado 6	1010	10
7	XXXX	0111	Estado 7	1011	11
8	XXXX	1000	Estado 8	0000	0
9	XXXX	1001	Estado 9	0000	0
10	XXXX	1010	Estado 10	0000	0
11	XXXX	1011	Estado 11	0000	0

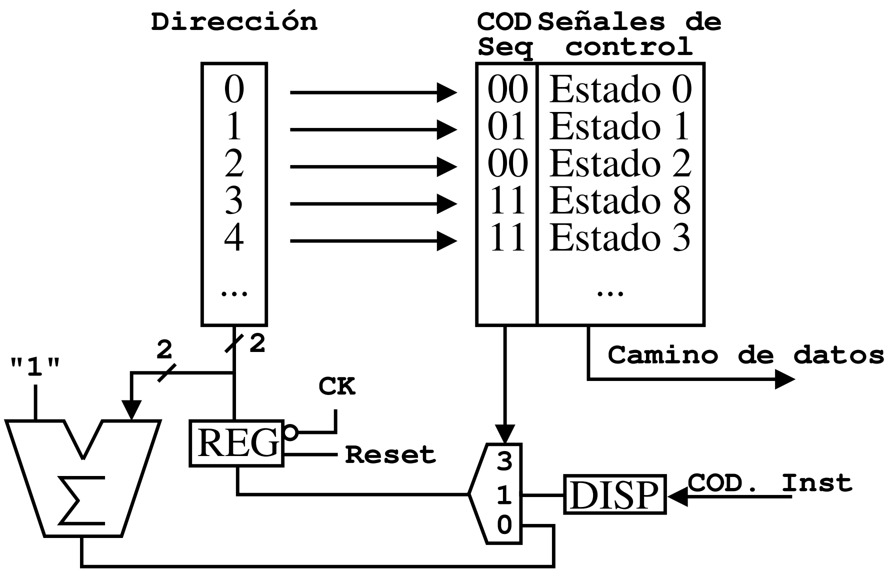
12 Unidad de control microprogramada con secuenciamiento implícito



NOTA: Las señales de control se corresponden con las de la tabla de la página 8.

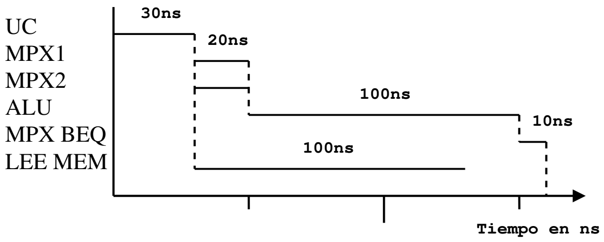
13 Unidad de control microprogramada con secuenciamiento explícito

Dirección	Estado	Señales de control	Secuencia	Cod. Secuencia
0	0	Estado 0	Sec	00
1	1	Estado 1	Disp	01
2	2	Estado 2	Sec	00
3	8	Estado 8	Fetch	11
4	3	Estado 3	Fetch	11
5	4	Estado 4	Sec	00
6	9	Estado 9	Fetch	11
7	5	Estado 5	Fetch	11
8	6	Estado 6	Sec	11
9	10	Estado 10	Fetch	11
A	7	Estado 7	Sec	00
B	11	Estado 11	Fetch	11

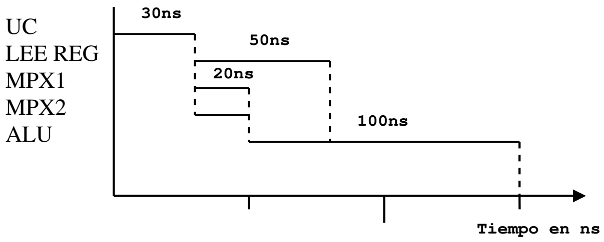


DISP	
Entrada	Salida
NOP	2
XCHG	4
SUBI	5
BEQ	7
INV	8
ROR	A

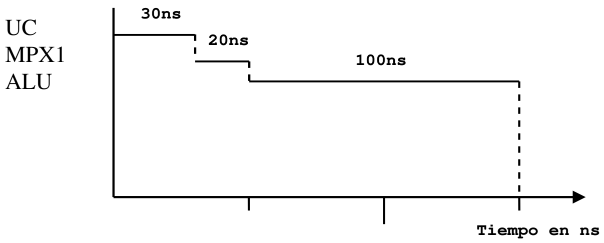
14 Tiempo de los estados



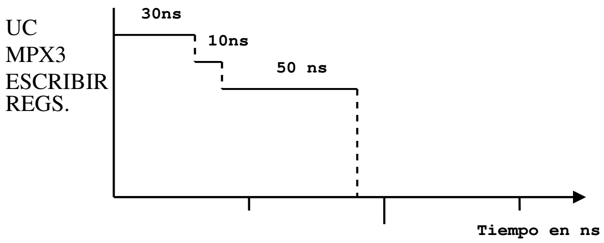
Estado 0 = 160ns



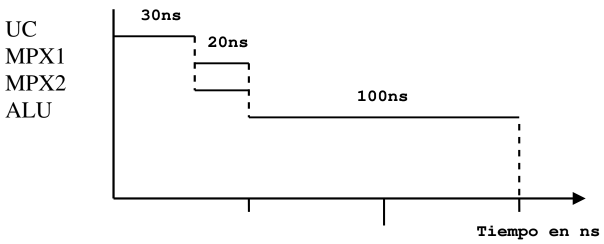
Estado 1 = 150ns



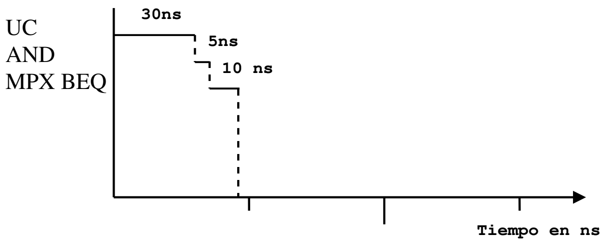
Estado 2 = 150ns



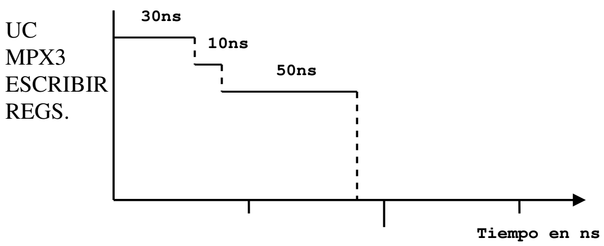
Estado 3 = 90ns



Estado 4, 6 y 7 = 150ns



Estado 5 = 45ns



Estado 8, 9, 10 y 11 = 90ns

15 Cálculo del rendimiento

El programa para medir el rendimiento es el mismo que se usó con el monociclo. El número de ciclos son:

XCHG: 3 ciclos, SUBI: 4 ciclos, INV: 4 ciclos, ROR: 4 ciclos, NOP: 4 ciclos y BEQ: 3 ciclos.

$$\mathrm{C}_{CPU} = 3 * (200 + 50) + 4 * (300 + 250 + 150 + 50) = 3750$$

$$\mathrm{CPI} = \frac{C_{CPU}}{N_{INST}} = 3{,}75$$

$$\mathrm{T}_{PROGRAMA} = \mathrm{Num\ INST} * \mathrm{CPI} * \mathrm{T}_{CICLO}$$

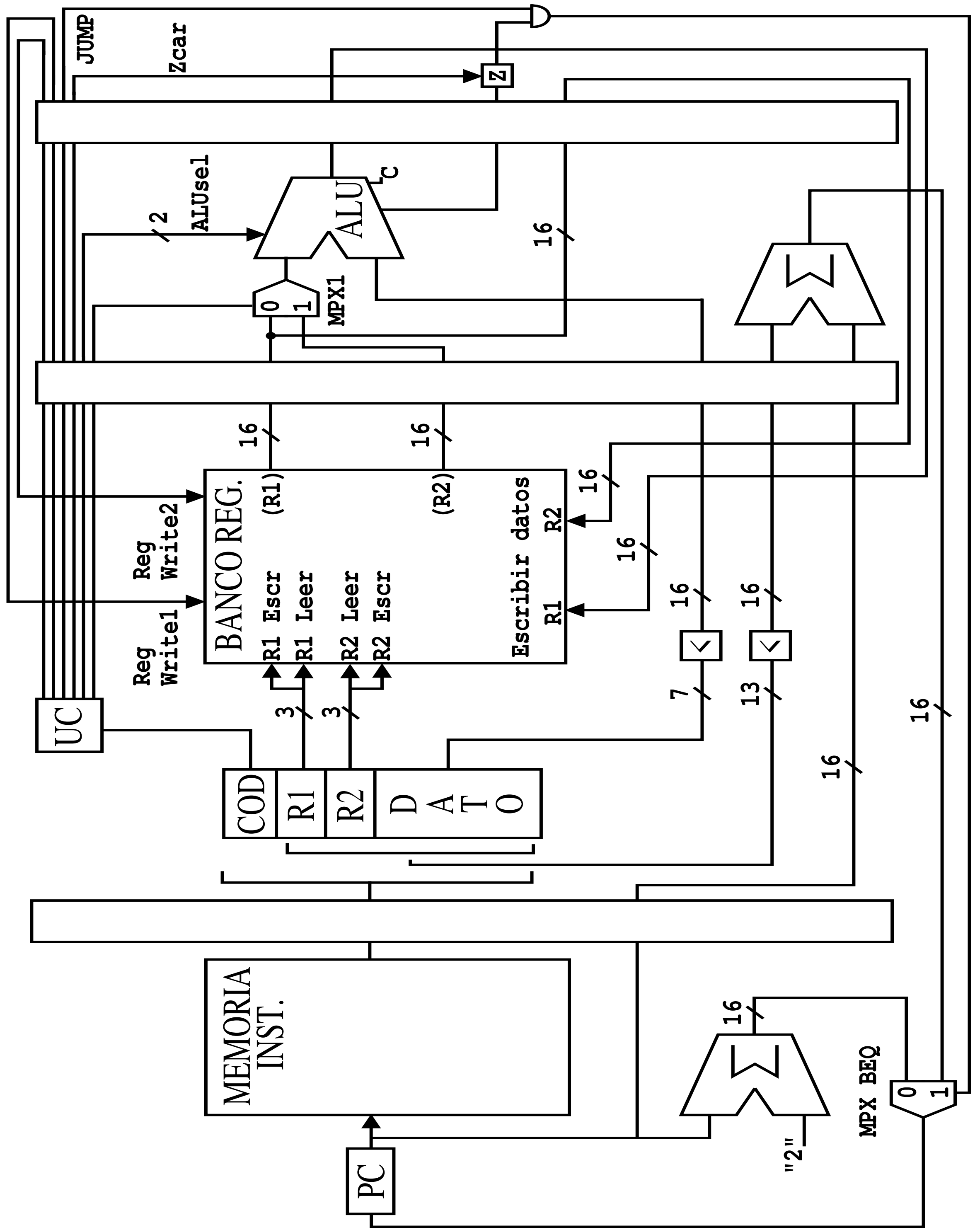
$$\mathrm{T}_{PROGRAMA} = 1000 * 3{,}75 * 160\ \mathrm{ns} = 0{,}0006$$

$$\mathrm{Rendimiento} = \frac{1}{T_{PROG}} = 1666{,}66$$

Segmentado

Parte III
Segmentado

16 Camino de datos



17 Cálculo del rendimiento sin conflictos

Usando el programa anterior...

$$\mathrm{CPI}_{SS} = 3{,}75$$

$$\mathrm{CPI}_{IDEAL} = \frac{CPI_{SS}}{PROFUNDIDAD} = \frac{3{,}75}{4} = 0{,}9375$$

$$\mathrm{CPI}_{CS} = \mathrm{CPI}_{IDEAL} + \text{Ciclos Detención} = 0{,}9375 + 0 = 0{,}9375$$

$$\text{Aceleración} = \frac{160ns * 3{,}75}{(110+30) * 0{,}9375} = 4{,}5714$$